

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-348324

(43)Date of publication of application : 03.12.1992

(51)Int.Cl.

G02F 1/136
G02F 1/133
G02F 1/1343

(21)Application number : 03-179736

(71)Applicant : HOSIDEN CORP

(22)Date of filing : 19.07.1991

(72)Inventor : UKAI YASUHIRO
SUNADA TOMIHISA
INADA TOSHIYA

(30)Priority

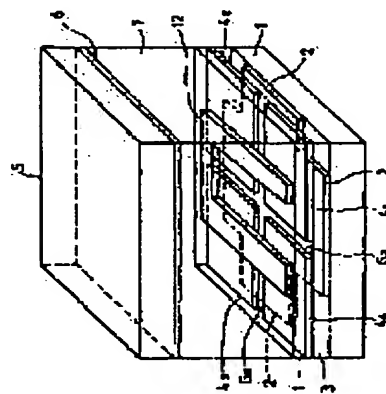
Priority number : 02194632 Priority date : 23.07.1990 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To improve the display performance by increasing the degree of freedom of the design of capacity division voltages applied to liquid crystal capacitors prescribed by plural subordinate picture element electrodes of respective picture elements.

CONSTITUTION: The respective picture element electrodes of the liquid crystal display element are divided into the subordinate picture element electrodes 41, 42..., which are mutually separated by a gap Ga; and a control capacitor electrode 2 is provided at least partially opposite across the respective subordinate picture element electrodes and a 1st insulating film 3. A control capacitor electrode 2 form control capacitors in series with liquid crystal capacitors that the subordinate picture element electrodes 41, 42... form with a counter common electrode 6. An additional capacitor electrode 12 faces the subordinate picture element electrodes 41, 42... partially across a 2nd insulating film 11 is formed and then additional capacitors which are equivalently to the liquid crystal capacitors are connected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-348324

(43) 公開日 平成4年(1992)12月3日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	

審査請求 未請求 請求項の数14(全 14 頁)

(21) 出願番号	特願平3-179736	(71) 出願人	000194918 ホシデン株式会社 大阪府八尾市北久宝寺1丁目4番33号
(22) 出願日	平成3年(1991)7月19日	(72) 発明者	鶴岡 育弘 兵庫県神戸市西区高塚台4-3-1 ホシデン株式会社開発技術研究所内
(31) 優先権主張番号	特願平2-194632	(72) 発明者	砂田 富久 兵庫県神戸市西区高塚台4-3-1 ホシデン株式会社開発技術研究所内
(32) 優先日	平2(1990)7月23日	(72) 発明者	稲田 利弥 兵庫県神戸市西区高塚台4-3-1 ホシデン株式会社開発技術研究所内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 草野 卓

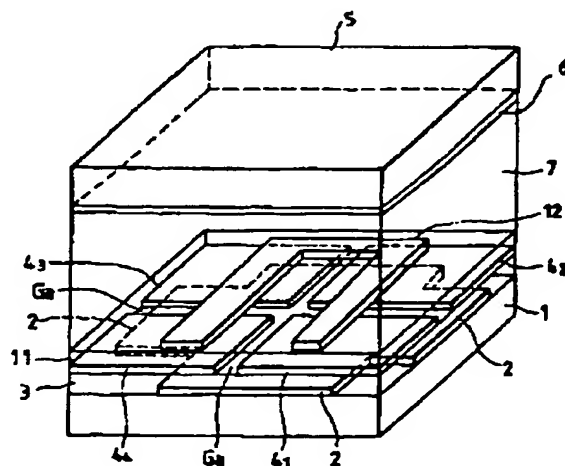
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【目的】 各画素の複数の副画素電極によりそれぞれ規定される液晶コンデンサに印加される容量分割電圧の設計自由度を高め、表示性能を高める。

【構成】 液晶表示素子の各画素電極が複数の副画素電極 $4_1, 4_2, \dots$ に分割され、ギャップ G_a により互いに分離され、それぞれの副画素電極と第1絶縁膜3を介して少なくとも部分的に対向する制御コンデンサ電極2が設けられている。前記制御コンデンサ電極2は副画素電極 $4_1, 4_2, \dots$ が対向共通電極6との間に形成する液晶コンデンサ C_{1c1}, C_{1c2}, \dots にそれぞれ直列な制御コンデンサ C_{c1}, C_{c2}, \dots を形成する。上記副画素電極 $4_1, 4_2, \dots$ と第2絶縁膜11を介して部分的に対向する付加コンデンサ電極12が形成され、それによって前記液晶コンデンサ C_{1c1}, C_{1c2}, \dots に等価的に並列な付加コンデンサ C_{s1}, C_{s2}, \dots が接続される。

FIG. 5



【特許請求の範囲】

【請求項1】 各画素の領域の一部を占める少なくとも1つの副画素電極が第2基板上の共通電極と液晶を挟んで対向して第1基板上に形成された第1絶縁膜上に配され、上記少なくとも1つの副画素電極と上記第1絶縁膜を介して少なくとも一部が対向する制御コンデンサ電極が設けられており、それによって上記少なくとも1つの副画素電極が上記共通電極との間に形成する液晶コンデンサに直列に接続された制御コンデンサを形成し、上記制御コンデンサ電極と上記共通電極との間に駆動電圧が供給されるように構成された上記画素を有する液晶表示素子において、上記少なくとも1つの副画素電極と第2絶縁膜を介して対向するように付加コンデンサ電極が形成され、それによって上記液晶コンデンサに等価的に並列な付加コンデンサを形成していることを特徴とする液晶表示素子。

【請求項2】 各画素の領域の一部を占める少なくとも1つの副画素電極が第2基板上の共通電極と液晶を挟んで対向して第1基板上に形成された絶縁膜上に配され、上記少なくとも1つの副画素電極と上記絶縁膜を介して少なくとも一部が対向する制御コンデンサ電極が設けられておりそれによって上記少なくとも1つの副画素電極が上記共通電極との間に形成する液晶コンデンサに直列に接続された制御コンデンサを形成し、上記制御コンデンサ電極と上記共通電極との間に駆動電圧が供給されるように構成された上記画素を有する液晶表示素子において、上記少なくとも1つの副画素電極と上記制御コンデンサ電極は一方が他方をほぼ囲むと共に少なくとも周縁で上記絶縁膜を介して互いに重なるように同心状に配され、それによって島状の第1副画素領域とそれをほぼ囲むループ状の第2副画素領域とを規定していることを特徴とする液晶表示素子。

【請求項3】 上記第1副画素領域は上記第2副画素領域の内側に規定された上記制御コンデンサ電極の領域の一部であり、上記副画素電極は上記第1副画素領域をほぼ囲むループ状に形成されている請求項2記載の液晶表示素子。

【請求項4】 上記第1副画素領域は上記第2副画素領域の内側に配置された上記少なくとも1つの副画素電極であり、上記制御コンデンサ電極は上記少なくとも1つの副画素電極をほぼ囲む領域を有し、上記第2副画素領域を規定している請求項2記載の液晶表示素子。

【請求項5】 上記少なくとも1つの副画素電極とギャップで隔てられたもう1つの副画素電極が設けられ、上記もう1つの副画素電極と上記制御コンデンサ電極とは電気的に接続されている請求項1記載の液晶表示素子。

【請求項6】 上記制御コンデンサ電極は、上記少なくとも1つの副画素電極の周縁部をほぼ囲むと共にその周縁部と重なって形成されている請求項5記載の液晶表示素子。

【請求項7】 上記少なくとも1つの副画素電極は上記制御コンデンサ電極の周縁部をほぼ囲むと共にその周縁部と重なるように形成されている請求項5記載の液晶表示素子。

【請求項8】 上記第2絶縁膜は上記少なくとも1つの副画素電極の上から上記第1基板のほぼ全面に渡って形成されており、その上に上記付加コンデンサ電極が形成されている請求項1記載の液晶表示素子。

【請求項9】 上記もう1つの副画素電極は上記制御コンデンサ電極と一体に同一面上に形成されている請求項5記載の液晶表示素子。

【請求項10】 上記第2絶縁膜は上記第1絶縁膜により兼用されており、上記制御コンデンサ電極と上記付加コンデンサ電極は同一面上に形成されている請求項1記載の液晶表示素子。

【請求項11】 上記もう1つの副画素電極と上記制御コンデンサ電極とは上記第1絶縁膜に形成したコンタクトホールを通して互いに接続されている請求項5記載の液晶表示素子。

【請求項12】 上記もう1つの副画素電極は上記少なくとも1つの副画素電極と同一面に互いにギャップにより分離されて形成され、上記制御コンデンサ電極は上記ギャップとそのほぼ全長に渡って重なる領域を有する請求項5記載の液晶表示素子。

【請求項13】 上記付加コンデンサ電極は上記行列及び列配列のいずれか一方の方向に隣接する上記画素の上記付加コンデンサ電極に接続される延長部を有している請求項1記載の液晶表示素子。

【請求項14】 各画素の領域の一部をそれぞれ占める複数の副画素電極が第2基板上の共通電極と液晶を挟んで対向して第1基板上に形成された絶縁膜上に配され、上記複数の副画素電極と上記絶縁膜を介してそれぞれ少なくとも一部が対向する制御コンデンサ電極が設けられておりそれによって上記複数の副画素電極が上記共通電極との間にそれぞれ形成する液晶コンデンサにそれぞれ直列に接続された制御コンデンサを形成し、上記制御コンデンサ電極と上記共通電極との間に駆動電圧が供給されるように構成された上記画素を有する液晶表示素子において、上記複数の副画素電極は中央の島状の1つを他の少なくとも1つがほぼ囲むと共に少なくとも周縁で上記絶縁膜を介して互いに重なるように同心状に配され、それによって中央の島状の第1副画素領域とそれをほぼ囲むループ状の第2副画素領域とを規定していることを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は画素が複数の副画素に分割され、多階調表示が可能な液晶表示素子の画素の構成に関する。

【0002】

【従来の技術】この種の従来技術として、米国特許第4,840,460号(特開平2-12「液晶表示装置の画素および液晶表示装置における画素のグレースケールを実現する方法」)が公知である。即ち、図1に液晶表示パネルの1つの画素領域をパネルと垂直に切出して示すように、ガラスのような透明基板1の内面に制御コンデンサ電極2が形成され、その制御コンデンサ電極2の上から透明基板1の全面に渡って絶縁膜3が形成される。その絶縁膜3上に4等分割された方形状の副画素電極4₁乃至4₄が形成される。これらの副画素電極と間隔をおいて対向して設けられたガラスなどの透明基板5の内面に共通電極6が形成され、共通電極6と副画素電極4_i(i=1~4)との間に液晶7が封入されている。制御コンデンサ電極2、副画素電極4_i及び共通電極6はITOなどで作られた透明な電極である。このようにして1画素は副画素電極4₁~4₄と対応して、副画素F₁~F₄に4分割される。図2に示すように各副画素電極4_iと制御コンデンサ電極2との間に絶縁膜3を誘電体とする制御コンデンサC_{ci}が形成され、また副*

$$V_{Lci} = \frac{C_{ci}}{C_{Lci} + C_{ci}} \cdot V_a \quad (2)$$

と表わされる。各制御コンデンサC_{ci}の容量を(1)式のように設定することによって、各液晶コンデンサC_{Lci}の両端電圧V_{Lci}は
 $V_{Lc1} > V_{Lc2} > V_{Lc3} > V_{Lc4}$ (3)
 に設定される。

【0005】液晶の光透過が飽和状態となる電圧をV₀、閾電圧をV_tとすると、図4に示すように画素に供給する電圧V_aの大きさによって、液晶コンデンサC_{Lci}の両端電圧V_{Lci}は以下のような場合が存在する。

(a) 全てのi=1~4に対しV_{Lci}=0の場合。このときV_a=0である。

(b) V_{Lc1}=V₀、V_{Lc2}=V_tの場合。V_{Lc3}、V_{Lc4}はV_t以下である。この時の供給電圧V_aをV_{a1}で表わす。

(c) V_{Lc2}=V₀、V_{Lc3}=V_tの場合。この時の供給電圧V_aをV_{a2}で表わす。

$$V_{Lci} = \frac{C_{ci}}{C_{Lci} + C_{ci}} \cdot V_{a1} = V_0 \quad (5)$$

各制御コンデンサC_{ci}はその容量が(5)式を満足するように、副画素電極4_iと重なる面積が設定される。(5)式からわかるようにある副画素4_iの液晶コンデンサV_{Lci}に印加される電圧を非常に小さくするには対応するその制御コンデンサC_{ci}の容量を小さくしなければならない。即ち副画素電極4_iと重なる制御コンデンサ電極2の面積を小さくする必要がある。しかしながら、この重なる面積が小さくなればなるほど(上述の例ではC_{ci}の重なる面積が最も小さい)、パターンずれなどによる

*画素電極4_iと共通電極6との間に液晶7を誘電体とする液晶コンデンサC_{Lci}が形成されている。図1の画素の電氣的等価回路を図3に示す。符号C_{ci}及びC_{Lci}を静電容量を表わすのに流用すると、

$$C_{c1} > C_{c2} > C_{c3} > C_{c4} \quad (1)$$

となるように、制御コンデンサ電極2の各副画素電極4_iと重なる面積が調整されている。

【0003】制御コンデンサ電極2は図1の画素と隣接して透明基板1上に形成されている薄膜トランジスタ(TFT)8のドレイン電極Dに接続されている(図2)。制御コンデンサ電極2と共通電極6との間には所定の電圧V₀がTFT8を介して供給される。TFT8がオンに制御されたとき、各副画素F_iにおいて供給電圧V_aは制御コンデンサC_{ci}の両端電圧V_{ci}と液晶コンデンサC_{Lci}の両端電圧V_{Lci}とに分圧される。V_{Lci}は

【0004】

【数1】

※(d) V_{Lc3}=V₀、V_{Lc4}=V_tの場合。この時のV_aをV_{a3}で表わす。

(e) V_{Lc4}=V_tの場合。この時のV_aをV_{a4}で表わす。

【0006】供給電圧V_aは、

$$V_{a1} > V_{a2} > V_{a3} > V_{a4} > 0 \quad (4)$$

である。供給電圧V_aの大きさを変化させて多階調表示が行われる。

【0007】

【発明が解決しようとする課題】従来の技術では、副画素F_iにおいて、画素に供給する電圧V_aがV_{a1}のとき、液晶コンデンサC_{Lci}の両端電圧V_{Lci}は液晶の光透過が飽和する電圧V₀に等しくなるように設定される。即ち、

【0008】

【数2】

副画素電極4_i~4₄と制御コンデンサ電極2の重なる面積のばらつきによって容量値C_{ci}の誤差が大きくなる。液晶コンデンサ電圧V_{Lci}は光透過の飽和電圧V₀に対する偏差が大きくなり、このため多階調表示の誤差が大きくなり、表示品位が著しく低下する問題があった。

【0009】また、副画素電極4_iは画素電極を単に行方向及び列方向に分割して形成しているため、副画素が1つのみオンとなっている状態と複数の副画素がオンと

なっている状態ではオン領域の中心が異なり、表示画像の品質が良くなかった。この発明の第1の目的は制御コンデンサ容量の製造ばらつきの影響による多階調表示品位の低下が少ない液晶表示素子を提供することである。

【0010】この発明の第2の目的は画素のオン領域が増減してもその中心が移動せず、画像表示品位の優れた液晶表示素子を提供することである。

【0011】

【課題を解決するための手段】この発明の第1の観点によれば、各画素を構成する複数の互いに分離された副画素電極が液晶を挟んで第2基板上の共通電極と対向して第1基板上に配され、それら間に液晶コンデンサを形成し、副画素電極の少くとも1つと第1絶縁膜を介して対向する制御コンデンサ電極が第1基板と副画素電極の間に設けられており、それによって上記少くとも1つの副画素電極が上記共通電極との間に形成する液晶コンデンサに直列に接続された制御コンデンサを形成し、上記制御コンデンサ電極と共通電極との間に駆動電圧が供給されるように構成された画素を有する液晶表示素子において、この発明では、上記少くとも1つの副画素電極と第2絶縁膜を介して対向するように付加コンデンサ電極が形成され、それによって上記液晶コンデンサに等価的に並列な付加コンデンサを形成している。

【0012】この発明の第2の観点によれば、各画素を構成する複数の互いに分離された副画素電極が液晶を挟んで第2基板上の共通電極と対向して第1基板上に配され、それら間に液晶コンデンサを形成し、副画素電極の少くとも1つと第1絶縁膜を介して対向する制御コンデンサ電極が第1基板と副画素電極の間に設けられており、それによって上記少くとも1つの副画素電極が上記共通電極との間に形成する液晶コンデンサに直列に接続された制御コンデンサを形成し、上記制御コンデンサ電極と共通電極との間に駆動電圧が供給されるように構成された画素を有する液晶表示素子において、この発明では、上記複数の副画素電極は、中央副画素領域と、その周囲をほぼ同心状に囲む少なくとも1つのループ状副画素領域を規定するように形成されている。

【0013】

【作用】この発明の第1の観点によれば、制御コンデンサと直列に接続された液晶コンデンサに対して等価的に並列に付加コンデンサが接続されるので、制御コンデンサ

$$V_{LCi} = \frac{C_{Ci}}{C_{LCi} + C_{Si} + C_{Ci}} \cdot V_a \quad (8)$$

で表わされる。従来例では液晶コンデンサ電圧 V_{LCi} を設定するのを、制御コンデンサ容量 C_{Ci} の調整のみで行っていたが、この発明では付加容量 C_{Si} の調整が併用される。例えばコンデンサ C_{LCi} の両端電圧 V_{LCi} が $V_{LC1} \sim V_{LCi}$ の中で最も小さく設定される場合、 C_{Ci} が小さくされると共に C_{Si} は大きく設定され、これにより

*サ電極及び付加コンデンサ電極のいずれの面積を変化させてもその液晶コンデンサを構成する液晶に印加される容量分割電圧を制御することができ、それだけ画素の設計の自由度が大となる。

【0014】この発明の第2の観点によれば、各画素を構成する副画素が互いに同心状に配置されるので、副画素の表示状態を変化させてもオン領域の中心は画素のほぼ中心に固定されており、表示画像の品質を改善できる。

【0015】

【実施例】この発明の実施例をその1画素領域を切出して図5に示し、図1と対応する部分に同じ符号を付し、重複説明を省略する。この実施例においては、制御コンデンサ電極2は副画素電極相互間の十字ギャップGaと全長に渡って重なりと共に、この例ではほぼ長方形の画素領域の四隅をそれぞれ所定の大きさ除去した太十字状にITOで形成される。従って副画素電極間のギャップにおいては制御コンデンサ電極2に与えられる電圧により液晶が駆動される。この発明の第1の観点によれば、付加コンデンサ電極12と副画素電極4_i (i=1~4)との間に絶縁膜11を誘電体とする付加コンデンサC_{Si}が図6に示すように形成される。即ち、十字のギャップGaで互いに分離された副画素電極4_i~4_i、上に窒化シリコン(SiN_x)などの絶縁膜11を介して付加コンデンサ電極12が、この例ではアルミニウムでU字状に形成される。U字状の付加コンデンサ電極12はこれら副画素電極4_i~4_i、上を順次通過していくよう形成されている。更に各行のそれぞれの画素の付加コンデンサ電極12は図示しない配線により順次接続され、液晶表示素子の動作時に一定の電位が与えられる。

【0016】図5の画素の電気的等価回路は図7に示すように表わされる。即ち、付加コンデンサC_{Si}は図示していない配線により一定電位に保持されるため、等価的には液晶コンデンサC_{LCi}と並列に接続されている。制御コンデンサ電極2と共通電極6との間に印加される駆動電圧V_aは制御コンデンサ容量C_{Ci}と、液晶コンデンサ容量C_{LCi}及び付加コンデンサ容量C_{Si}の合成容量C_{LCi}+C_{Si}とにより分圧され、液晶コンデンサC_{LCi}に印加される電圧V_{LCi}は

【0017】

【数3】

(6) 式の $C_{Ci} / (C_{LCi} + C_{Si} + C_{Ci})$ の値が $i=1 \sim 3$ の場合より最も小さく設定される。このように付加コンデンサC_{Si}を併用すると、制御コンデンサ容量C_{Ci}は従来のようにあまり小さくせず、製造ばらつきの影響が問題にならない程度にとどめられる。付加コンデンサ電極12は製造ばらつきによりその位置がずれても、各副

画素電極4_iと重なる面積があまり変わらないようにして容量値の製造ばらつきを小さく抑えるのが望ましい。

【0018】太十字状制御コンデンサ電極2は副画素電極相互間のギャップと重なっているため、これらのギャップ上の液晶には、制御コンデンサ電極2と共通電極6との間に印加される電圧V_iが絶縁膜3、11と液晶7とで分圧され、電圧V_iの大きさによって、この液晶部分を光透過或いは光遮断の状態に制御し、副画素電極と同様に多階調表示に寄与するようにする。これにより画素の開口率が向上される。

【0019】なお、制御コンデンサC_{c1}～C_{cn}のうち、最大容量を形成する副画素電極4_iの領域の液晶には最大の電圧が印加されることになる。画素に供給される電圧V_iを一定とした時に、この最大電圧をできるだけ大とするには制御コンデンサ電極2は副画素電極4_iの全面と対向して重なる形状にすればよいが、副画素電極4_iと制御コンデンサ電極2とを電氣的に接続することもできる。後述の実施例はこの場合に当り、制御コンデンサC_{c1}の容量を無限大にしたのと等価である。その場合は制御コンデンサ電極2と副画素電極4_iとの重なりは任意でよく、重なりが無くてもよい。

電圧対透過率特性の設計

副画素F₁～F_nの電圧対透過率特性を上述のように付加コンデンサ容量C_{s1}と制御コンデンサ容量C_{c1}とにより制御することによって、画素全体の透過率特性を設計する自由度が増え、種々の好ましい特性を得ることができる。

(イ) 副画素F₁～F_nの特性を図8のAのように電圧軸の方向に間隔をあけて設定することにより、画素の総合特性を図8のBのように階段状にすることができる。

(ロ) 副画素F₁～F_nの特性を図9のAのように、副画素F₁の光透過率が90%となるときの印加電圧V₁と副画素F_nの光透過率が10%となるときの印加電圧V_nとが等しくなるように副画素F₁～F_nの特性を設定すれば、画素の総合特性は図9のBに示すように直線状となり、その傾斜を副画素に分割しない場合より緩やかにすることができる。このようにすると、各副画素F_iの図9のAにおける直線からの透過率の偏差は、図9のBの総合特性においては結果としてより小さく圧縮された特性となり直線性が改善される。また画素の総合特性の直線領域も、図9のAにおける個々の特性より広くなる。このため通常液晶表示素子をビデオ信号の表示器として用いるとき、印加電圧値を調整して直線性を補正する所謂γ(ガンマ)補正が不要となる。また電圧対透過率特性が緩やかであるため、ビデオ表示等を行なうとき、ソースバスに信号を供給する駆動ICの出力偏差に対するマージンを大きくできる。図9のAに示すようにそれぞれの副画素の電圧対透過率特性を設定すると、図9のBに示すように画素の透過率が飽和する電圧を図8のBの場合より低く抑えられ、より低電圧駆動が可能

となる。

(ハ) カラー表示用のTN形液晶表示素子の本質的な特性として旋光分散に基づいてR、G、Bの各色毎に画素の電圧対透過率特性が図10のAに示すように異なることが知られているが、この発明によれば、画素の電圧対透過率特性の設計の自由度が増えたため所望の特性に設計するのが容易となり、図10のBのように各色ともほぼ同じ特性に補正できる。なおこの補正は画素が副画素に分割されない場合でも、制御コンデンサ容量C_cと付加容量C_sとにより液晶コンデンサ電圧 $V_{lc} = V_i \cdot C_s / (C_{lc} + C_s + C_c)$ を各色毎に調整できるので、上記と同様の補正が可能である。

【0020】これ迄の説明では画素を4個の副画素に分割する場合を示したが、一般にはn(2以上の整数)個に分割できることは明らかである。この発明の第2の観点によれば、各画素を分割した複数の副画素の領域を互いに同心状に配置する。例えば、図5と対応するものに同じ符号を付けて図11に示すように、ITOの画素電極は方形ループ状のギャップG_aにより2つの方形ループ状副画素電極4₁、4₂に同心状に分割されている。副画素電極4₁の中央は方形窓Wが形成されている。制御コンデンサ電極2は図12に示すように、副画素電極4₁のほぼ半分の領域とは重ならないように穴2aが形成され、その穴2a以外で副画素電極4₁、4₂及び方形窓Wと絶縁膜3を介して対抗するよう画素のほぼ全領域に渡ってITOにより形成されている。この例では中央窓Wにおいて絶縁膜3を介して電氣的に露出される制御コンデンサ電極2の領域は副画素領域F₁を規定する。従って、制御コンデンサ電極2と共通電極6との間に印加する駆動電圧V_aを増加していくと、最初に中央窓Wの副画素領域F₁がオンとなり、次に副画素電極4₁が規定する副画素領域F₂が追加的にオンとなり、最後に副画素電極4₂が規定する副画素領域F₃が追加的にオンとなる。このようにオン領域が増減してもそのオン領域の中心位置は画素のほぼ中央に固定しているため、各画素がこのように構成された液晶表示素子によれば人間の視覚にとって見易い画像を表示でき、また図1のように画素電極を行方向及び列方向に分割した場合に比べて画像の表示品質が良いことが実験で確かめられた。

他の実施例

各画素を2つの副画素で構成し、第1の副画素電極を制御コンデンサ電極に接続した場合のこの発明の第1と第2の観点の組み合わせによる実施例の平面図、そのA-A断面図及びB-B断面図を図13、図14及び図15に、図5、図6と対応する部分に同じ符号を付して示す。透明基板1上に島状に遮光層13が形成される。遮光層13はTFTに光が入射しないようにするものである。透明基板1及び遮光層13上に酸化シリコン(SiO₂)のような絶縁膜14が形成され、その上にループ状の制御コンデンサ電極2がITOなどにより形成され

9

る。制御コンデンサ電極2及び絶縁膜14上に酸化シリコンのような絶縁膜15が形成され、その上にITOなどによりソースバス21、ソース電極21a、ドレイン電極22、副画素電極4₁、4₂が形成される。副画素電極4₁は制御コンデンサ電極2上の絶縁膜15に形成されたコンタクトホール15Hにおいて、制御コンデンサ電極2に接触して形成され、互いに導通状態とされる。また副画素電極4₁はTFT8のドレイン電極22迄延長され、互いに連結される。ソース電極21a及びドレイン電極22にまたがってアモルファスシリコンなどの半導体層23が形成される。半導体層23及び副画素電極4₁、4₂上にまたがって窒化シリコン(SiN_x)などのゲート絶縁膜24が形成され、その上に例えばアルミニウムによりゲートバス25、ゲート電極25a、付加コンデンサ電極12が同時に形成される。

【0021】上述のようにTFT8、副画素電極4₁、4₂等が形成された透明基板1は共通電極6が内面に形成されている透明基板5と対向して配され、それらの基板間に液晶7が封入される。ソースバス21とゲートバス25の交叉部、及びソースバス21と付加コンデンサ電極12の交叉部には島状半導体層23a及び23bがゲート絶縁膜24の下に積層して形成され、絶縁性を高めている。ゲートバス25とソースバス21の交叉点の近傍にTFT8が形成される。左右のソースバス21及び上下のゲートバス25で囲まれた領域内に小面積の副画素電極4₁と大面積の副画素電極4₂が形成される。制御コンデンサ電極2は副画素電極4₂の周縁部を囲むと共にその周縁部と重なってループ状に形成される。副画素電極4₁と制御コンデンサ電極2とは既に述べたようにコンタクトホール15Hで互いに電氣的に接続される。

【0022】副画素電極4₁に接続された制御コンデンサ電極2は副画素電極4₂を囲んで同心状に配置されているので、液晶表示素子の駆動時にTFT8を通してある電圧V_gが与えられた時にまず副画素4₁を囲む制御コンデンサ電極2の領域(副画素4₁領域も含む)がオン(光透過)となり、電圧V_gをそれより所定値だけ高くすると更に副画素4₂の領域もオンとなる。前述のように画素の表示領域を同心的に制御すると図5のように副画素を縦、横に配置した場合より表示品位がよい。

【0023】付加コンデンサ電極12はゲート絶縁膜24を介して副画素電極4₂上に形成されている。付加コンデンサ電極12はこの実施例ではH字状をしており、その水平部12Cが制御コンデンサ電極2のほぼ中央を水平に横切って延び、その両端部にそれぞれ垂直部12A、12Bが設けられている。垂直部12A、12Bは制御コンデンサ電極2の側縁と重なって延びている。水平部12Cは両端が延長されてゲートバス25の延長方向に隣接する画素の付加コンデンサ電極12と接続されている。液晶表示素子の動作時には全ての画素のこれら

10

付加コンデンサ電極12は水平部12Cの延長端に一定の直流電圧を与えることによりあらかじめ決めた一定電位に保持される。制御コンデンサ電極2は、副画素電極4₁、4₂間のギャップGaと重なるように配される。

【0024】制御コンデンサ電極2と副画素電極4₂との間に制御コンデンサC₁₂が形成されるが、制御コンデンサ電極2と副画素電極4₁とは電氣的に短絡されているので、制御コンデンサC₁₁は形成されない(或いはC₁₁は形成されているが両端が短絡されていると見てもできる)。付加コンデンサ電極12と副画素電極4₂との間に付加容量C₁₂が形成される。この例では、副画素電極4₁と付加コンデンサ電極12との間に直接付加容量C₁₁を形成せず、代りに制御コンデンサ電極2(副画素電極4₁と接続されている)と付加コンデンサ電極12との間に形成される。副画素電極4₁と共通電極6との間に液晶コンデンサC₁₁が、副画素電極間のギャップGaと対向する制御コンデンサ電極2と共通電極6との間に液晶コンデンサC₁₂が、また副画素電極4₂と共通電極6との間に液晶コンデンサC₁₃がそれぞれ形成される。従って図13、図14及び図15の実施例における画素の電氣的等価回路は図16に示すものとなる。

【0025】図13の例では、制御コンデンサ電極2が副画素電極4₂の周縁部と重ねられる寸法は12μm程度であるが、もし従来例のように付加容量を併用しない構成にすると、この重ねられる寸法は例えば1.5μm程度と極めて小さくする必要があり、パターンずれなどに対する製造マージンが取れなくなる。図13から分るように、付加コンデンサ電極12の垂直部12A、12Bはその幅方向の中間において制御コンデンサ2の両側縁と重なっているため、付加コンデンサ電極12の上下及び左右方向の製造上の位置ずれに対しては、副画素電極4₂と重なる面積及び制御コンデンサ電極2(副画素電極4₁と接続されている)と重なる面積は共にほとんど変化しない。従ってパターンずれなどによる製造ばらつきに対し付加コンデンサ容量C₁₁、C₁₂はほぼ一定に保たれる。なおこの付加コンデンサC₁₁、C₁₂は信号電荷保持のための蓄積容量として作用するものであり、リーク電流が増大する高温動作での表示の安定性向上などに寄与する。

【0026】図13、図14及び図15においては副画素電極4₂を囲むように制御コンデンサ電極2が形成されているが、図13に対応するものを図17に簡略化して示すように、制御コンデンサ電極2を島状に中央に配置し、その周縁と重なりかつ囲むように副画素電極4₂を形成してもよい。その場合は印加電圧V_aを増加していくと中央の副画素領域がオンとなり、次にその外周の副画素領域もオンとなる。

【0027】更に、図18に断面でのみ示すように、図13、図14及び図15の実施例におけるTFT8のソ

ース電極21a及びドレイン電極22を制御コンデンサ電極2と同じ層に形成し、副画素電極4_iと制御コンデンサ電極2を連続した一体構造に形成することもできる。図13、図14及び図15の実施例では副画素電極4_iの上に付加コンデンサ電極12を設けたが、図19及び図20に示すように副画素電極4_i、4_jの下に制御コンデンサ電極2と同じ面に設けてもよい。即ち、図19及び図20に示す実施例においては図13における方形ループ状の制御コンデンサ電極2の一部を除去して通路2Aを形成し、その通路2Aを変形H形付加コンデンサ電極12の水平部12Cが通され、H形電極12の垂直部12Aと12Bはそれぞれ方形ループ状電極2の外側と内側に配置されている。またこの実施例においては副画素電極4_iはその両側縁が制御コンデンサ電極2の側縁及び付加コンデンサ電極12と重なるように形成され、かつほぼ長方形の副画素電極4_iの長側辺と間隔Gaにおいて平行にほぼ全長に沿って延びている。H状付加コンデンサ電極12の垂直部12Aはその両端が延長されそれぞれ上下に隣接する画素の付加コンデンサ電極の垂直部12Aに接続され、液晶表示素子の動作時には付加コンデンサ電極12は一定の電位に保持される。この実施例におけるそれぞれの容量の接続等価回路も図16に示すものと全く同じになる。

【0028】上述した各実施例においてはすべての副画素電極4_i、4_j、…に対しそれぞれ付加コンデンサC_{s1}、C_{s2}、…を設けた場合を示したが、場合によっては少なくとも1つの副画素電極には付加コンデンサを接続しなくてもよい。例えば図13、図14及び図15に示す実施例において付加コンデンサC_{s1}を省略した実施例を簡略化して図21、図22及び図23に示す。この実施例においては付加コンデンサ電極12はほぼ長方形の副画素電極4_iの一侧縁部とゲート絶縁膜24を介して重なるようにゲートバス25と平行に同じ材料（例えばアルミニウム）で同時に形成されている。副画素電極4_iは図13、図14及び図15の実施例と同様に絶縁膜15に形成されたコンタクトホール15Hを通して制御コンデンサ電極2に接続されている。制御コンデンサ電極2は付加コンデンサ電極12と互いに重なっておらず、従ってこの実施例においては副画素電極4_iには付加コンデンサが接続されていない。この実施例の画素の電気的等価回路は図16において付加コンデンサC_{s1}を除去したものと同一である。

【0029】同様に図19、図20に示す実施例において付加コンデンサC_{s1}を除去した実施例を簡略化して図24、図25及び図26に示す。この実施例では付加コンデンサ電極12はITOにより制御コンデンサ電極2と同じ面に同時に形成され、副画素電極4_iと重なるようにソースバス21と同じ方向に延長されている。副画素電極4_iは絶縁膜15に形成されたコンタクトホール15Hを通して制御コンデンサ電極2に接続されている

が付加コンデンサ電極12とは互いに重ならない。従って副画素電極4_iには付加コンデンサが接続されておらず、画素の電気的等価回路は図16において付加コンデンサC_{s1}を除去したものと同一である。

【0030】前述のようにこの発明の第1の観点の原理による付加コンデンサの効果はその付加コンデンサが接続される副画素電極に対する制御コンデンサの設計自由度を高める点にある。従って図21、図22及び図23の実施例及び図24、図25及び図26の実施例から明らかのように制御コンデンサが直列に接続されない副画素電極に対してはこの発明の原理を適用できないので、付加コンデンサを設けなくてもよい。しかしながら付加コンデンサを接続することにより液晶コンデンサの容量が増加し、それだけ電荷を多く蓄積できるので周知のように高温におけるリーク電流の増大に対し電圧低下を遅くする効果が得られる。

【0031】

【発明の効果】以上説明したように、この発明の第1の観点によれば複数の副画素のうち少なくとも1つの副画素F_iにおいては従来の制御コンデンサC_{c1}と共に付加コンデンサC_{s1}が液晶コンデンサC_{lc1}の両端電圧V_{lc1}を決定するのに用いられ、その副画素の電圧対透過率特性の設計自由度がそれだけ増加する。このため制御コンデンサ電極2はパターンずれなどによる容量誤差の影響が問題になるほど、副画素電極4_iと重なる面積を小さくする必要がなくなり、各液晶コンデンサ電圧V_{lc1}を従来より精度よく設定することができる。このため画素の多階調表示を従来より正確に行うことができ、表示品位を向上できる。この付加コンデンサの併用によって各副画素の電圧対透過率特性を精度よく設定できるので、画素の総合的な電圧対透過率特性の直線性を向上することが容易となり、直線性補正のため従来行っていた所謂γ補正が不要となる。また同じ理由からカラーTN形液晶表示素子における旋光分散に起因する、色の異なる画素間の電圧対透過率特性のずれを容易に補正できる。

【0032】この発明の第2の観点によれば、各画素は複数の副画素が同心状に配置されるように構成されるので画像の表示品質を高めることができる。

【図面の簡単な説明】

【図1】従来の液晶表示素子における画素構成を示す斜視図である。

【図2】図1の各電極間に形成される静電容量を示す図である。

【図3】図1の画素の電気的等価回路を示す図である。

【図4】図1の副画素F_i（i=1~4）における印加電圧V_i対液晶コンデンサ電圧V_{lc1}特性を示す図である。

【図5】この発明の第1の観点にもとづく実施例における画素構成を示す斜視図である。

13

【図6】図5における各電極間に形成される静電容量を示す図である。

【図7】図5の画素の電気的等価回路を示す図である。

【図8】Aは図5の各副画素の電圧対透過率特性の一例を示す図であり、BはAの総合電圧対透過率特性を示す図である。

【図9】Aは図5の各副画素の電圧対透過率特性の他の例を示す図であり、BはAの総合電圧対透過率特性を示す図である。

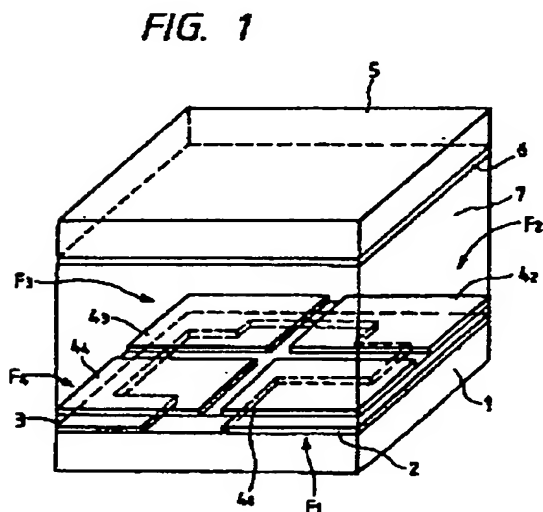
【図10】AはTN形カラー液晶表示素子におけるR、G、Bの各画素の一般的な電圧対透過率特性を示す図であり、Bはこの発明の液晶表示素子におけるR、G、Bの各画素の電圧対透過率特性の一例を示す図である。

【図11】この発明の第2の観点にもとづく画素構成の実施例を示す斜視図である。

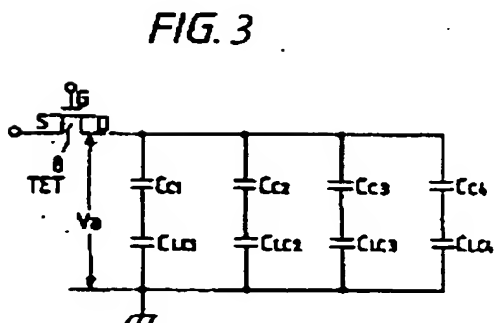
【図12】図11における制御コンデサ電極の平面図である。

【図13】この発明の他の実施例の要部を示す平面図で

【図1】



【図3】



14

ある。

【図14】図13のA-A断面図である。

【図15】図13のB-B断面図である。

【図16】図13、図14及び図15の画素の電気的等価回路を示す図である。

【図17】図13に対応する変形実施例を簡略化して示す平面図である。

【図18】図13、図14及び図15の実施例の変形例を示す断面図である。

【図19】この発明の更に他の実施例を示す平面図である。

【図20】図19のA-A断面図である。

【図21】更に他の実施例の平面図である。

【図22】図21におけるA-A断面図である。

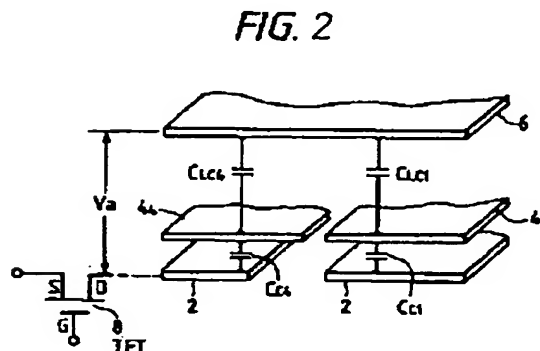
【図23】図21におけるB-B断面図である。

【図24】更に他の実施例の平面図である。

【図25】図24におけるA-A断面図である。

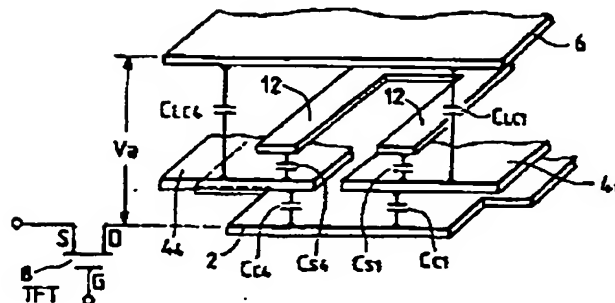
【図26】図24におけるB-B断面図である。

【図2】



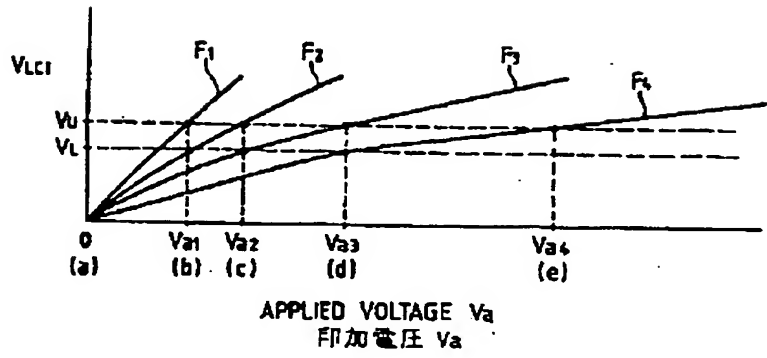
【図6】

FIG. 6



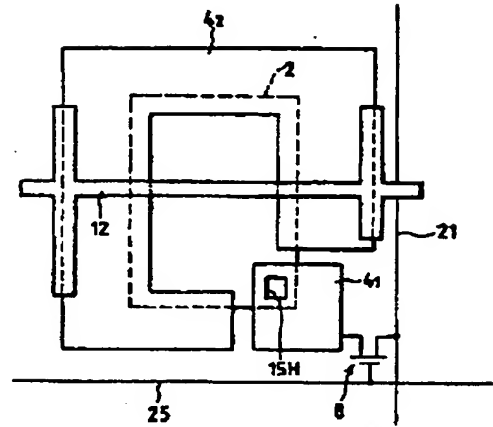
【図4】

FIG. 4



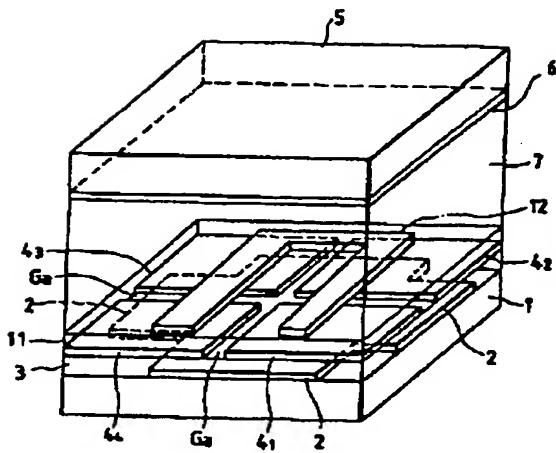
【図17】

FIG. 17



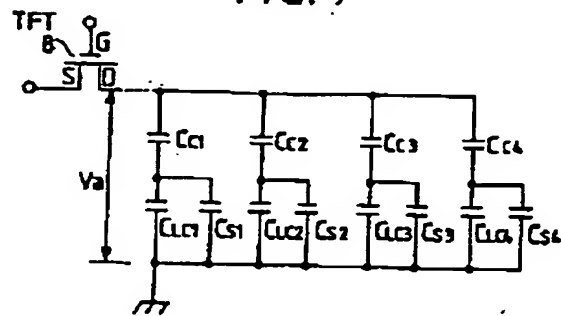
【図5】

FIG. 5



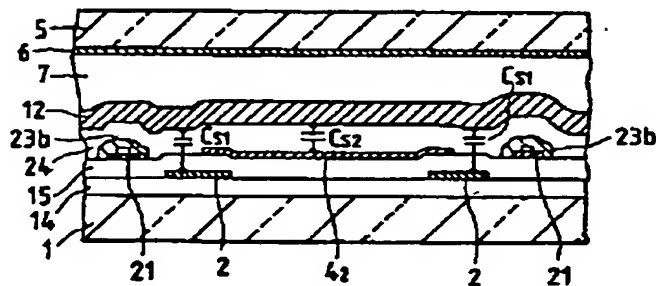
【図7】

FIG. 7



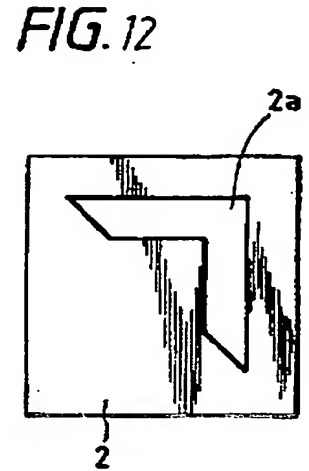
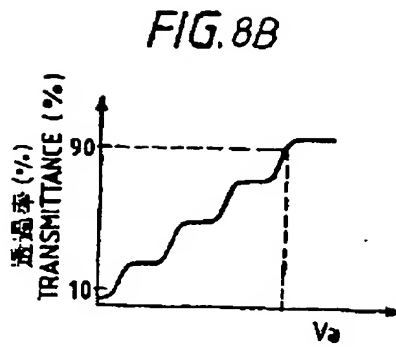
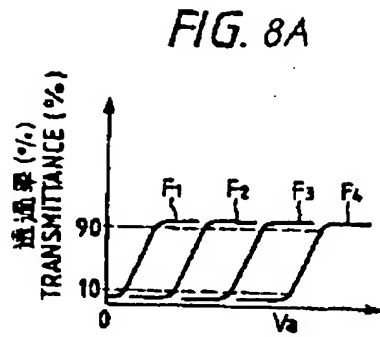
【図15】

FIG. 15

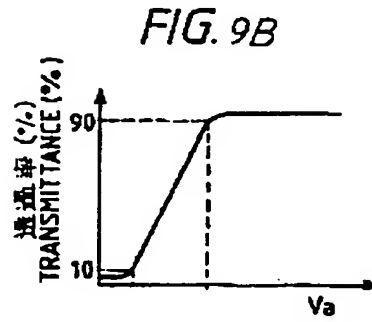
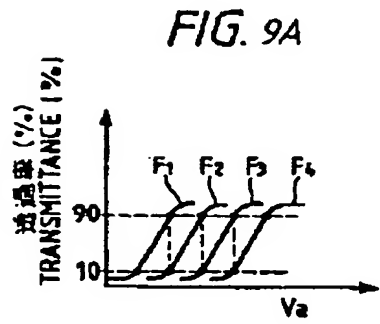


【図8】

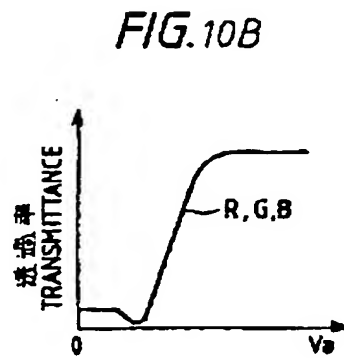
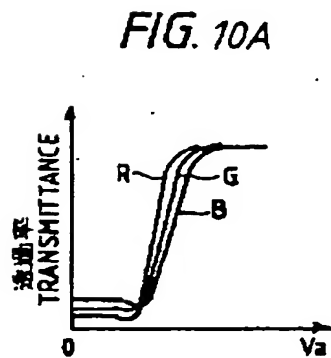
【図12】



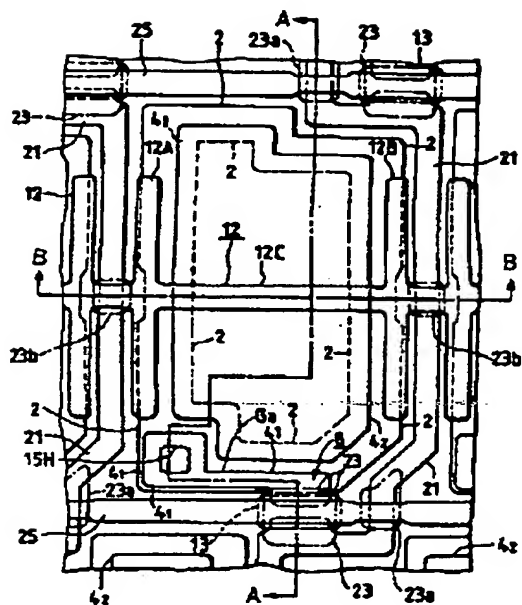
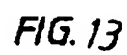
【図9】



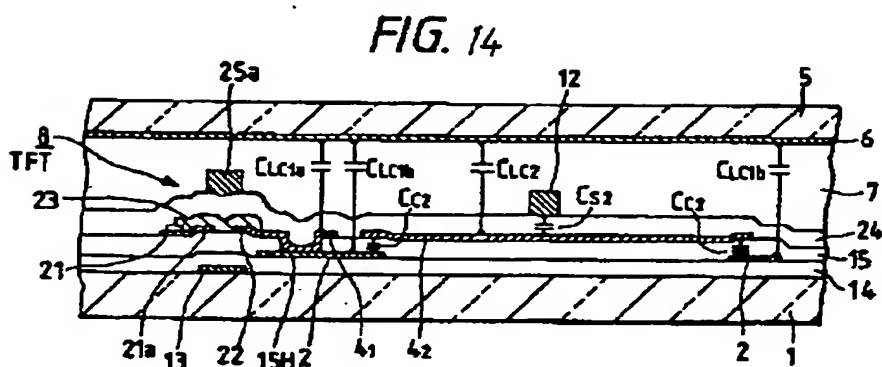
【図10】



【图 13】

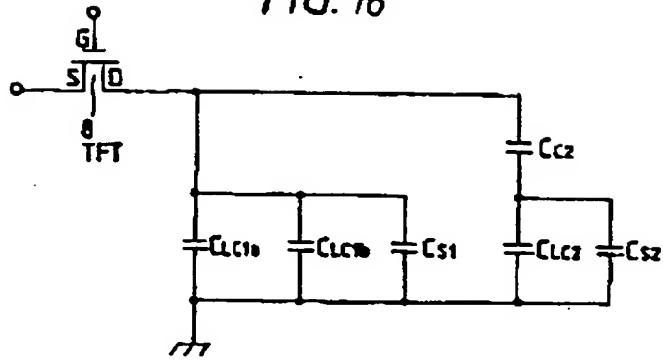


【圖 14】



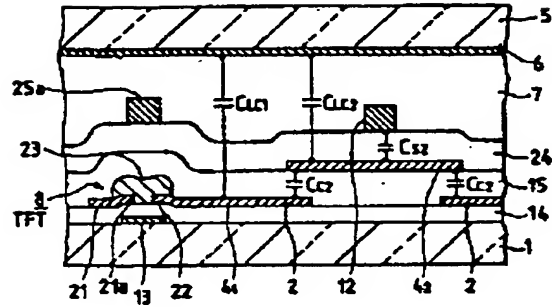
【図16】

FIG. 16



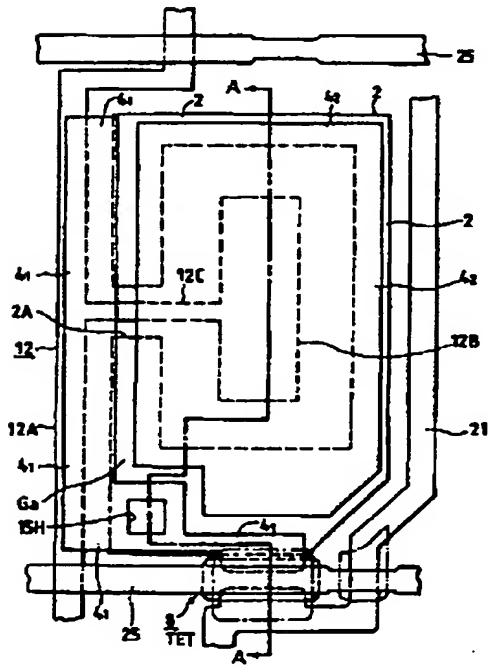
【図18】

FIG. 18



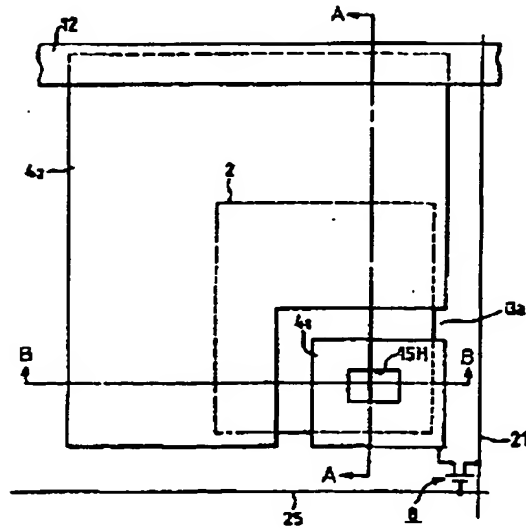
【図19】

FIG. 19



【図21】

FIG. 21



【図26】

FIG. 26

